

【高速先生原创|十大误区系列】PCB 设计十大误区-电容的布局

布线 - “电源加磁珠”，想说爱你不容易

作者：吴均 一博科技高速先生团队队长

电容的布局布线 - “电源加磁珠”，想说爱你不容易（上）

承前：电容设计问题的第一部分，我们从电源不是必须从滤波电容进入芯片管脚开始讲起，带出了电源供电网络（PDN）的阻抗。并从频域角度解释了滤波电容只是整个电源供电网络的一个组成部分。在文章结束之后，网友们提出的问题以及讨论，就带出了滤波电容的位置问题。

本节：从去耦半径出发，通过去耦半径的计算，让大家直观的看到我们常见的电容的“有效范围”问题。

启后：讨论滤波电容的位置与 PDN 阻抗的关系，提出“全局电容”与“局部电容”的概念。能看到当电容呈现“全局特性”的时候，电容的位置其实没有想象中那么重要。

上一个话题结束的时候，很多网友提出电容的位置问题：“滤波电容有自己的滤波半径，所以重点在于滤波电容正端与芯片电源引脚的距离”。这个互动实在是配合的太好了，高速先生和你握手哈。

传统的说法，电容有其滤波半径，低频电容滤波半径大，所以布局的时候可以放的稍微远一些。并且常规来说，单纯滤波作用的低频电容不要扎堆布局，讲究均匀摆放。而中高频电容的滤波半径较小，需要严格靠近芯片管脚放置，不能离得太远，要不然电容就“不起作用”了。

这个说法，作为我们滤波电容布局的设计指导，没有问题，依旧是正确的指导原则，这个不是我们要讨论的设计误区。不过开场白里面说了，高速先生，就是要追根究底，看看电容的滤波半径到底是怎么回事？

首先，滤波半径还是基于著名的四分之一波长理论。（四分之一波长理论在高速先生的各种文章会反复多次出现，为了方便大家理解，我们会专题讨论各种四分之一波长的的问题，这里就不再赘述，如果觉得理解这篇文章有问题，可以单独和高速先生进行讨论）电容去耦半径理论认为，当电容的位置距需要滤波的器件（管脚）的距离刚好是四分之一波长的的时候，电容的补偿电流和信号噪声电流相位刚好相差 180 度，滤波失效。所以为了保证电容的滤波作用，要求电容的位置距需要滤波的器件（管脚）的距离小于 1/10 的四分之一波长，当然，更严格的要求希望小于 1/20 的四分之一波长。

$$D_{EFF} = \frac{\lambda}{40} \text{ with } \lambda = \frac{1}{\text{velocity} \times f_R}, f_R = \frac{1}{2\pi \sqrt{ESL_{Total}} \times C}$$

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



大家看到这，估计有点烦躁了，有的人说，这个我早就知道了。也有人说，不是叫“看得懂的高速设计”吗，你说的这些我看不懂。那我们就来看看常见的滤波电容的滤波半径。（这里我们为了计算的简化，假设电容的 ESL 为 0.4nH，电容的安装电感为 1.5nH。具体的电容安装电感问题，在上一个专题的第四篇文章里面讨论过了，大家可以参考）

Cap Value (uF)	1.0 uF	0.1 uF	0.01 uF	0.001 uF
Effective Decoupling Radius (in)	38.04	12.03	3.80	1.20

图 1

看到这里，估计很多 PCB 设计师会大吃一惊？我们常用的 0.1 uF 电容，在考虑四分之一波长的時候，电容的有效去耦半径居然有 12 英寸。就算严格点考虑两百分之一波长，也有将近 2 英寸的去耦半径。我们在滤波电容布局的时候，这个去耦半径还是问题吗？

前面的文章讨论过，由于去耦电容只是电源供电网络的一部分，同时高频噪声会更加依赖电源地平板电容及封装内的滤波电容甚至是 Die 电容来滤除。10nF 或者更小的 1nF 电容，在电源滤波系统中的作用会越来越小。在大部分的设计中，0.1 uF 电容就是板级系统设计的时候，电源滤波系统中用到的最“高频”的电容了。

借这个机会，再和大家讨论下高速先生讨论 PCB 设计误区的出发点：很多理论其实没有错，只是我们在使用的时候没有真正知其所以然，所以设计中想当然的“过设计”很多。这类“过设计”有时候并没有坏处，只是当设计出现“恶劣”情况并需要“取舍”的时候，会造成一些困难。

比如电容的去耦半径问题，大家都有这个概念，然后都知道“小”电容（高频电容）的去耦半径很小，需要严格靠近芯片管脚。这个设计原则没有错误，只是当数码消费类产品由于更小的面积，更低的成本以及结构的要求（如厚度），需要我们把电容单面布局，放在和 BGA 的同一面的时候，很多人困惑了，电容离芯片的电源管脚这么远（有时还要考虑 3mm 或者 5mm 的返修间距，就更远了），电容还能起作用吗？

由此引申的另一个问题，和我们的这次的主题相关，先提前预告一下：我们做设计的时候，很喜欢把同种类的数字电源，对不同芯片进行供电的时候，用磁珠隔离一下，希望能避免不同芯片之间同种电源的干扰。电容的作用范围这么大，磁珠隔离了“想象中”的芯片间电源轨道的干扰的同时，会不会也阻碍了电容的作用呢？

本节的结尾，再给大家看一个图片，也是关于电容的去耦半径和作用范围的。之前讨论的谐振频率的四分之一波长，还是有局限性的，首先电容起作用的最高频率不止是谐振频率。其次，作用范围还得考虑你设定的滤波效率。理论是复杂的，任重而道远，多前进一些，真相就更清晰一点。

当然，本节的结论还是继续有效的，我们常用的 0.1uF 电容，滤波半径远远比我们想象的要大。

问题来了

既然简单的用四分之一波长理论推算的电容去耦半径，对电容布局设计起不到指导作用，那么电容放置的离芯片电源管脚比较远，还会有哪些影响呢？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

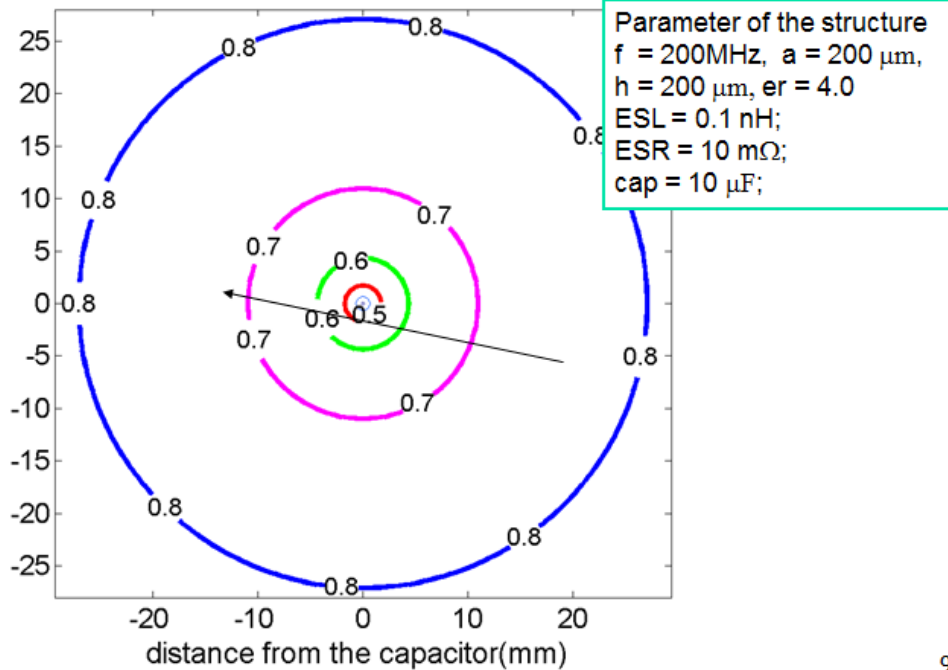
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



Effective Decoupling Radius R_{eff}

Radius of the circle within which the noise voltage is damped 50% or more is defined as R_{eff}



9

电容的布局布线 - “电源加磁珠”，想说爱你不容易（中）

承前：从去耦半径出发，通过去耦半径的计算，让大家直观的看到我们常见的电容的“有效范围”问题。

本节：讨论滤波电容的位置与 PDN 阻抗的关系，提出“全局电容”与“局部电容”的概念。能看到当电容呈现“全局特性”的时候，电容的位置其实没有想象中那么重要。

启后：多层板设计的时候，电容倾向于呈现“全局特性”，“电源加磁珠”的设计方法，会影响电容在全局范围内起作用。同时电源种类太多，还会带来其他设计问题。

通过上一篇文章，我们知道平常“耳熟能详”的电容去耦半径理论，对 PCB 设计其实没有什么指导意义。0.1 μf 的电容去耦半径足够大，设计中参考这个值没有用处，工程师还是会“尽量”把 0.1 μf 电容靠近芯片的电源管脚放置。PCB 设计师需要更有效的理论来指导电容的布局设计。

既然简单的用四分之一波长理论推算的电容去耦半径不起作用，那么电容放置得离芯片电源管脚比较远，还会有哪些影响呢？很多人都答对了，影响安装电感。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



在上一个专题的第四篇文章里面，已经讨论过电容安装电感的估算。这一次，我们来更详细的看看安装电感。从图 1 能看到，安装电感可以简单分为 L_{above} 和 L_{below} 。

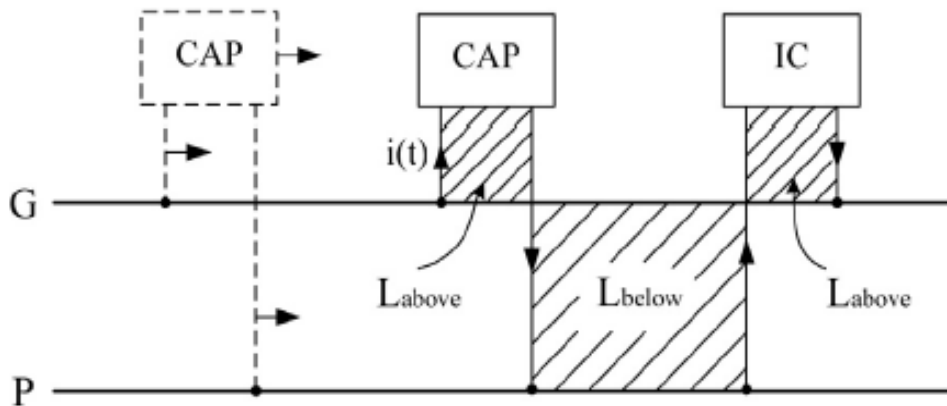


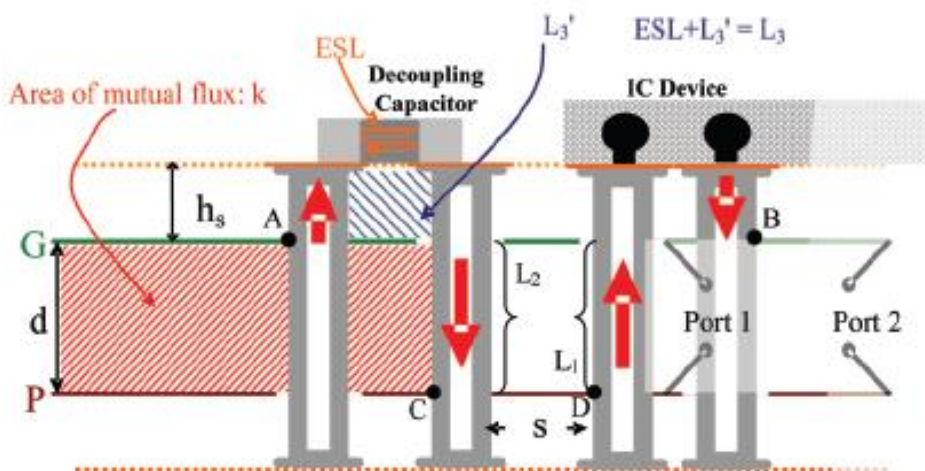
图 1

在这里引入两个概念： L_{above} 、 L_{below} （电容和 IC 下面的电流回路大小不一定一样，但在这里分析的时候，假定大小等同）

总电感： $L_{Total} = 2L_{above} + L_{below}$

L_{above} 包括电容的 ESL 和 Fan out 带来的电感，我们会另外专题讨论电容的 Fan out 问题。至于 L_{below} 就更多收到电容位置的影响。简单来说，电容离芯片电源管脚越远， L_{below} 围成的面积就越大，相应的安装电感就越大。

更具体点， L_{below} 主要是两个过孔的自感和互感，当电容的位置离 IC 器件更近时，如图 2 所示， L_{below} 的互感增大，因互感的作用与自感的作用相反，导致其整体电感减小，充放电速率更快



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



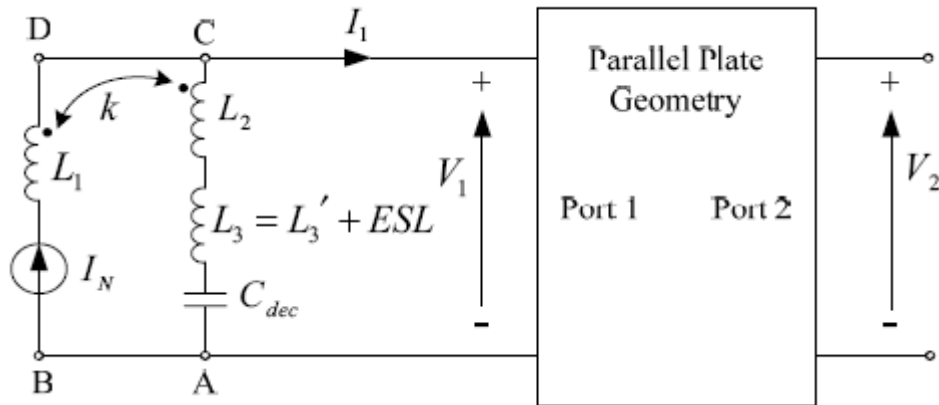


图 2

可以列出一堆公式来推导这个互感乃至 L below，但这个不是高速先生的风格。

$$|Z_{21}|_{decrease}(dB) \approx -20 \log_{10} \left[\frac{L_2(1-k) + L_3}{L_2 + L_3} \right] = -20 \log_{10} \left[\frac{(1-k) + (L_3/L_2)}{1 + (L_3/L_2)} \right]$$

$$L1 = L2 = \frac{\mu_0 d}{2\pi} \left[\ln\left(\frac{R_{equiv}}{r}\right) - 0.75 \right] H \quad k \approx \frac{\ln(R_{equiv}/(s+r)) - 0.75}{\ln(R_{equiv}/r) - 0.75}$$

其实从图 1 可以简单看出，G 和 P 之间的距离对 L below 影响很大，G 和 P 之间的距离越近，L below 对应的阴影区域面积就越小。而 L below 越小，也就意味这电容可以放得越远，换句话说，电容的有效滤波范围更大。电容也就更加倾向于呈现“全局”特性。

下一节我们还会通过一个直观的仿真，让大家看到平面距离与安装电感的关系，以及为什么说在新的设计条件下，电容会呈现全局特性。

图 3 是一个简单的总结，更具体的分析，请听下回分解。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



全局电容和局部电容

- 表现出全局行为 (Global Manner) 的电容，位置对其影响不明显。
- 表现出局部行为 (Local Manner) 的电容，位置对它的去耦效果影响很明显。表现出Global manner和Local manner的电容在物理结构上没有任何区别，取决于它们所处的环境。
- 判断电容是否表现出Local manner的两个判断标准：
 - 1) 当前IC是否可用取决于电容的位置
 - 2) 电容位置对电源总线的电压影响很大

更直观一点就是IC器件电源管脚附近的电容



图 3

问题来了

“滥用”磁珠，会带来哪些坏处？什么情况下我们需要使用磁珠对电源进行隔离？什么情况下，“滥用”磁珠会带来负面影响？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

电容的布局布线 - “电源加磁珠”，想说爱你不容易（下）

承前：讨论滤波电容的位置与PDN阻抗的关系，提出“全局电容”与“局部电容”的概念。能看到当电容呈现“全局特性”的时候，电容的位置其实没有想象中那么重要。

本节：多层板设计的时候，电容倾向于呈现“全局特性”，“电源加磁珠”的设计方法，会影响电容在全局范围内起作用。同时电源种类太多，还会带来其他设计问题。

通过上一篇文章，我们知道电容在不同的使用条件，会呈现“全局特性”与“局部特性”。

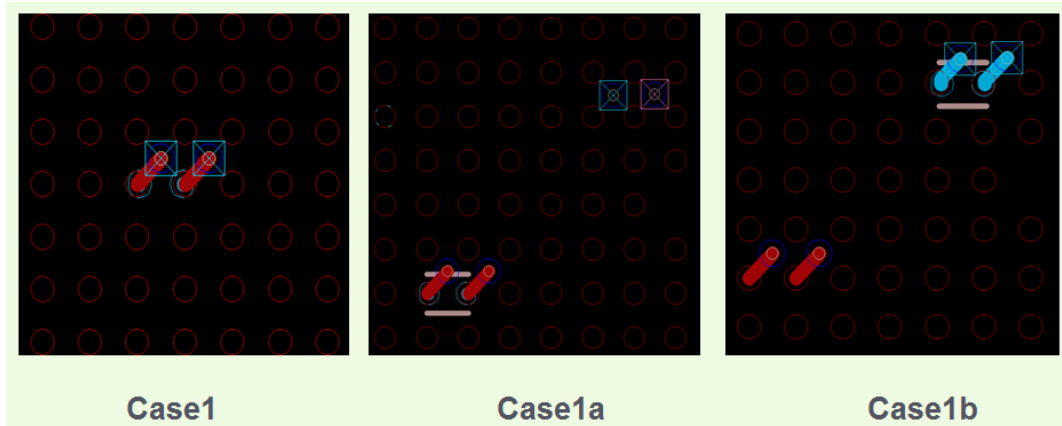
避免研究公式的繁琐，我们来看看实际仿真结果。为了便于研究，设计了一个仿真案例，如图 1 所示：Case1 是电容放在芯片管脚附近，Case1b 是电容远离芯片管脚放置。这

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



时候 Case1b 比 Case1 多出一对电源地过孔，为了同等条件下只比较电容的位置影响，我们增加 Case1a 案例，在和 Case1b 电容 Fan out 同样的位置上增加一对电源地过孔。



Layer #	Color	Layer Icon	Layer Name	Thickness...	Material	Conductivity...	Fill-in Dielectric	Permittivity	Loss Tangent
1	Yellow	Green/White	Signal\$TOP	1.8		5.959e+007		4.2	0.02
		Cyan	Medium\$41	4.7		0		4.2	0.02
2	Blue	Red/White	Plane\$GND02	1.2		5.959e+007		[4.2]	[0.02]
		Cyan	Medium\$43	5		0		4.2	0.02
3	Red	Green/White	Signal\$ART03	1.2		5.959e+007		[4.2]	[0.02]
		Cyan	Medium\$45	52		0		4.2	0.02
4	Yellow	Red/White	Plane\$ART04	1.2		5.959e+007		[10.1]	[0.02]
		Cyan	Medium\$47	0.56		0		16	0.02
5	Blue	Red/White	Plane\$GND05	1.2		5.959e+007		[10.1]	[0.02]
		Cyan	Medium\$49	5		0		4.2	0.02
6	Red	Green/White	Signal\$BOTTOM	1.8		5.959e+007		4.2	0.02

图 1

图 1 的 4、5 两层为电源地耦合的平面。先来看看电源地距离为 3mil 时的情况：当电源地紧耦合时，a 和 b 两个 Case 的 PDN 曲线基本重合，说明电容的谐振频率没有变化。也就是说，电容位置好像几乎没有任何影响，反而是 Case1 的谐振频率偏向于低频，说明 Case1 的安装电感反而更大一些。这个容易理解，主要是多出来的一对电源地过孔导致的。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



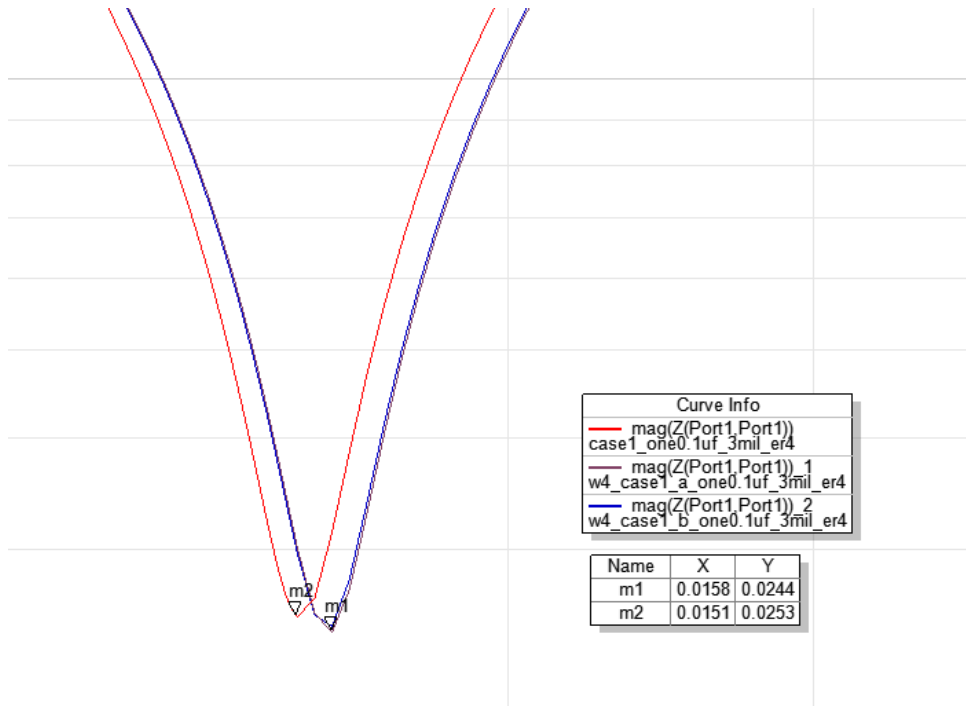
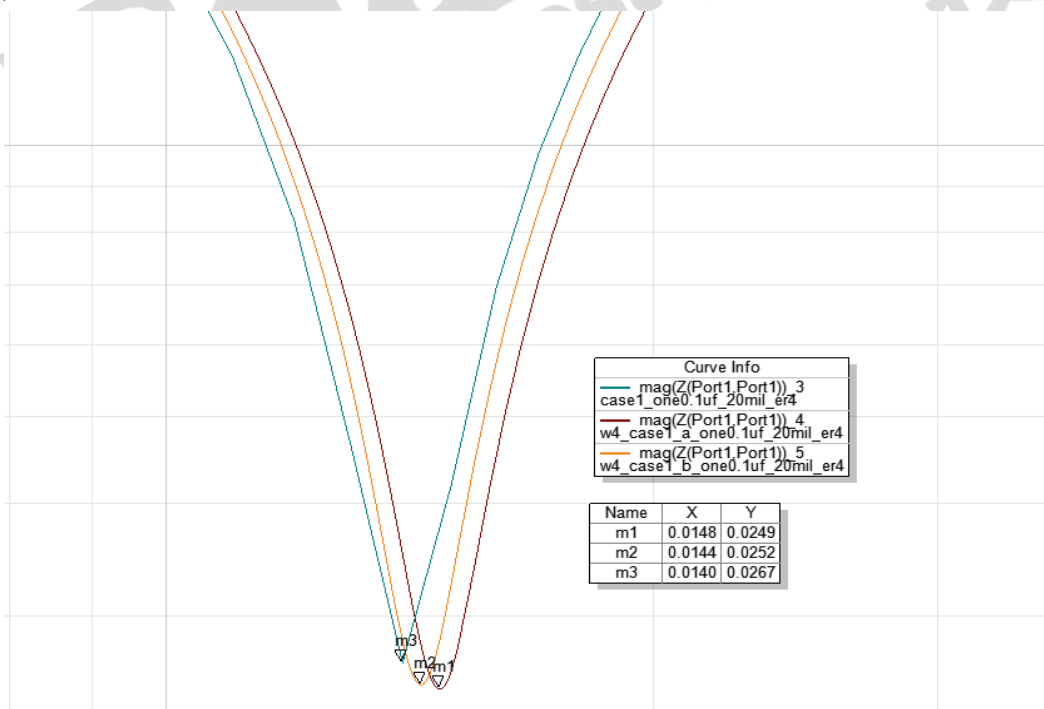


图 2

电源地距离在 10mil 以内时，以上结论都类似。但是当电源地距离在 20mil 甚至 50mil 时，情况稍有变化。如图 3 所示，电源地距离变大时，a 和 b 两个 Case 的 PDN 曲线开始偏离，Case1b 的谐振频率向低频偏移，说明电容远离芯片管脚的时候，电容的安装电感明显变大。



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



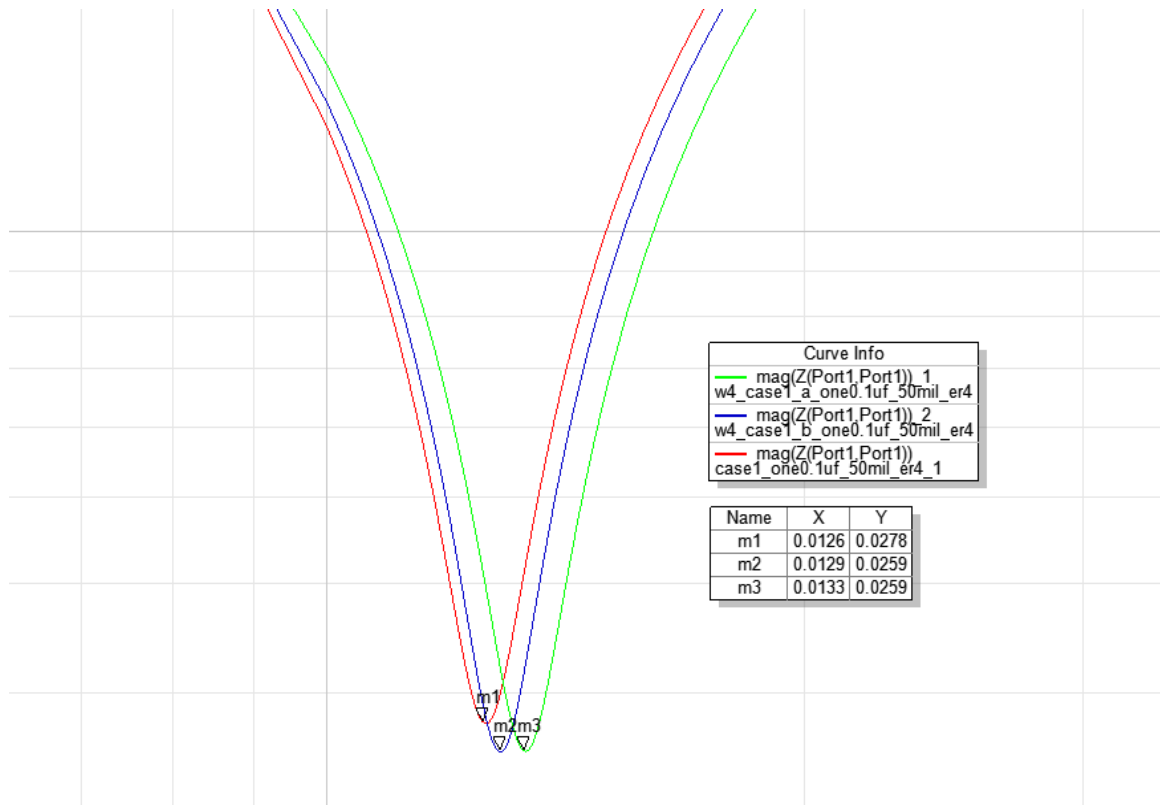


图 3

所以，我们可以得出简单的结论：

典型的 8 层以上单板，或者 6 层板采用 3 个电源地平面，电源地相对紧耦合的设计，这时候板上的滤波电容呈现“全局特性”，也就是说电容的位置不是很“重要”，电容在全局起作用。双面板四层板，以及 6 层板电源地距离比较远，相对松耦合的时候，板上的滤波电容倾向于“局部特性”，电容的位置比较重要，最好能靠近芯片管脚放置。

当电源供电网络不使用电源地平面来设计的时候，电容更倾向于“局部特性”。如 PLL 电源的电容，如 DDR3 设计中 Vref 电源的电容，都希望严格把相应的电容靠近芯片的管脚，甚至最好能做到设计时指定电源必须从滤波电容进入芯片管脚。

同样的，对于常规数字电源，如 3.3V，2.5V 等 I/O 电源，如果我们对每一个芯片都使用磁珠隔离之后单独供电，那么电容就失去了“全局”作用。最直接的一个负面作用就是导致设计需要增加更多的滤波电容。或者某个芯片的电容数量与种类不够，导致电源轨道噪声变大。

就算是电容的数量不是问题，电源噪声可控，“滥用”磁珠还会造成其他设计问题。图 4 中的方案三是现在非常流行的 12 层板层叠设计。大家选择这样的层叠最主要的原因就是电源的分割太破碎，这样的电源层如果作为参考平面的话，会比较难避免“跨分割”问题（单面跨电源分割问题，我们会另外有专题讨论）。方案三的层叠避免了电源分割多的问题，却带来更加恶劣的层间串扰等其他问题。

电源种类多是设计的现状，“滥用”磁珠会“雪上加霜”的让电源种类更多。加大电源地平面设计的难度。而增加的磁珠，其实并没有给电源噪声带来好处。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



No.	Construction	方案一	方案二	方案三	方案四
	Silkscreen				
	Soldermask				
L1	Copper	TOP	TOP	TOP	TOP
	Prepreg				
L2	Copper	GND1	GND1	GND1	GND1
	Core				
L3	Copper	S1	S1	S1	S1
	Prepreg				
L4	Copper	GND2	GND2	S2	s2
	Core				
L5	Copper	S2	S2	GND2	PWR1
	Prepreg				
L6	Copper	GND3	PWR1	PWR1	GND2
	Core				
L7	Copper	PWR1	GND3	PWR2	S3
	Prepreg				
L8	Copper	S3	S3	GND3	PWR2
	Core				
L9	Copper	GND4	PWR2	S3	S4
	Prepreg				
L10	Copper	S4	S4	S4	S5
	Core				
L11	Copper	GND5	GND4	GND5	GND3
	Prepreg				
L12	Copper	BOTTOM	BOTTOM	BOTTOM	BOTTOM
	Soldermask				
	Silkscreen				

图 4

总结：常规的数字电源，在采用多层板设计，电源地平面紧耦合的情况下，不建议“滥用”磁珠，保持电容的“全局”特性起作用。

需要使用磁珠的场合大致分为两种

- 1、“特别”保护自己，如 PLL 电源等
- 2、“关爱”他人，自身的干扰性比较强，避免 EMI 问题，如强驱动的时钟芯片等

每次一个话题结束的时候，总觉得没什么问题可以问，因为觉得都讲清楚了。不过每次编辑都会强调“你的问题”呢？那就找一个问题，作为下一个话题的铺垫吧：

问题来了

我们怎么减小上一篇文章中提到的 L above ？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



【关于一博】

一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，贴近客户需求。

一博旗下 PCB 板厂成立于 2009 年，位于广东四会（广州北 50KM），采用来自日本、德国的一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海设立分厂，现有 12 条 SMT 产线，配备全新进口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备，并配有波峰焊、AOI、XRAY、BGA 返修台等配套设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

